

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-121631

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.<sup>6</sup>H 0 1 L 21/8234  
27/06

識別記号

F I

H 0 1 L 27/06

1 0 2 A

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平9-280042

(22) 出願日 平成9年(1997)10月14日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 横山 聡

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

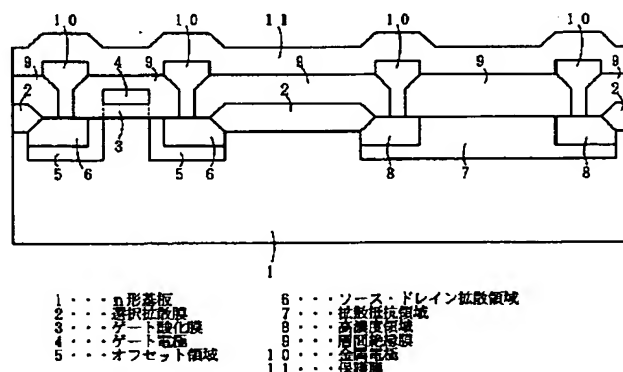
(74) 代理人 弁理士 篠部 正治

## (54) 【発明の名称】 半導体装置およびその製造方法

## (57) 【要約】

【課題】高耐圧MOSトランジスタと抵抗体を有する半導体集積回路において、抵抗体の抵抗値のばらつきおよび温度依存性を小さくし、且つ、抵抗体形成のための専用フォトリソマスクを不要にする。

【解決手段】n形基板1に選択酸化膜2、ゲート酸化膜3およびゲート電極4を形成し、その後、同一のフォトリソマスクを用いてボロン不純物をイオン注入し、オフセット領域5と拡散抵抗領域7を同時に形成する。



(2)

1

## 【特許請求の範囲】

【請求項1】少なくともMOS型電界効果トランジスタと抵抗体とを有する半導体集積回路（MOS-IC）が形成された半導体装置において、高耐圧のMOS型電界効果トランジスタを形成するための低濃度拡散領域であるオフセット領域と抵抗体となる拡散抵抗領域とがボロン不純物で形成され、該ボロン不純物の表面濃度および拡散深さが前記オフセット領域と前記拡散抵抗領域とで同一であることを特徴とする半導体装置。

【請求項2】前記オフセット領域と前記拡散抵抗領域とのボロン不純物の表面濃度を $1 \times 10^{18} \text{ atoms/cm}^3$  ないし  $4 \times 10^{18} \text{ atoms/cm}^3$  とし、且つ、該ボロン不純物の拡散深さを $0.3 \mu\text{m}$  ないし  $1.0 \mu\text{m}$  とすることを特徴とする請求項1記載の半導体装置。

【請求項3】前記オフセット領域と前記拡散抵抗領域とのボロン不純物の表面濃度が $1 \times 10^{18} \text{ atoms/cm}^3$  ないし  $4 \times 10^{18} \text{ atoms/cm}^3$  で形成され、且つ、該ボロン不純物の拡散深さが $1 \mu\text{m}$  ないし  $2 \mu\text{m}$  で形成され、さらに、対向する前記オフセット領域上に選択的に選択酸化膜（LOCOS）が形成されることを特徴とする請求項1記載の半導体装置。

【請求項4】少なくともMOS型電界効果トランジスタと抵抗体とを有する半導体集積回路（MOS-IC）が形成された半導体装置の製造方法において、高耐圧のMOS型電界効果トランジスタを形成するための低濃度拡散領域であるオフセット領域と抵抗体となる拡散抵抗領域とがボロン不純物で同時に形成されることを特徴とする半導体装置の製造方法。

【請求項5】前記オフセット領域と前記拡散抵抗領域とがボロン不純物の表面濃度 $1 \times 10^{18} \text{ atoms/cm}^3$  ないし  $4 \times 10^{18} \text{ atoms/cm}^3$  で、該拡散深さ $1 \mu\text{m}$  ないし  $2 \mu\text{m}$  で、同時に形成された後、対向する前記オフセット領域上に選択的に選択酸化膜（LOCOS）が形成されることを特徴とする請求項4記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、高耐圧のMOS型電界効果トランジスタ（以下、MOSFETという）と抵抗体とを有するMOS型半導体集積回路などの半導体装置に関する。

## 【0002】

【従来の技術】MOSFETを用いた半導体集積回路（以下、MOS-ICと称す）において、高耐圧MOSFET（通常、HV-MOSといわれている）と低耐圧MOSFET（通常、LV-MOSといわれている）の両方を有し、また温度係数の小さい高精度な抵抗体を必要とする場合が多い。

【0003】このような、高耐圧MOSFETと抵抗体とを含むMOS-ICを実現する方法として、高耐圧M

2

OSFETには、ソース・ドレイン拡散領域より低濃度の所謂オフセット領域を設けたゲート構造が通常よく用いられている。このオフセット領域を設けたゲート構造はオフセット・ゲート構造と称されている。このオフセット・ゲート構造を有するMOSFETを形成する製造プロセスは、標準的な低耐圧のMOS-ICの製造プロセスにおいて、ソース・ドレイン拡散領域に低濃度領域であるオフセット領域を形成する工程が必要となる。この高耐圧のMOS-ICがCMOS-IC（相補形MOS-ICのこと）の場合には、当然、高耐圧のn形MOSFETと高耐圧のp形MOSFETのそれぞれにオフセット領域が必要となり、フォトマスクもそれぞれ1枚づつ必要となる。

【0004】また、前記の抵抗体となる低濃度の拡散抵抗領域を形成するためには、p形の不純物をイオン種として用いたイオン注入工程が必要となり、そのためのフォトマスクが1枚追加となる。尚、抵抗体にp形不純物を利用するのは、n形に比べて抵抗値の温度依存性が小さいためである。このように、従来の製造方法では、標準的な低耐圧のMOS-ICであるロジックICプロセスにオフセット領域用のフォトマスクの他に、p形不純物で形成される拡散抵抗領域用の専用フォトマスクが必要となる。

【0005】また、近年、接合深さ（ $X_j$ ）を浅くするために、p形MOSFETのソース・ドレイン拡散領域を形成する方法に、 $\text{BF}_2$ （フッ化ボロン）をイオン注入する方法がある。その $\text{BF}_2$ を用いた、従来の高耐圧MOSFETと抵抗体を有する高耐圧MOS-ICについて説明する。図13から図17は従来の高耐圧MOSFETと抵抗体とを有するCMOSプロセスを工程順に説明した製造工程断面図である。

【0006】n形基板1aを用いた、CMOS（相補形MOS）プロセスで、まず、選択酸化工程において、n形MOSFETとp形MOSFETを形成する活性領域と、専用の抵抗体を形成する拡散抵抗領域以外の領域に選択酸化膜2aを形成する。選択酸化膜2aを形成後にp形MOSFETを形成する活性領域に25nm程度のゲート酸化膜3aを形成し、ポリシリコンでゲート電極4aを形成する（図13）。尚、ゲート酸化膜3aは全面に被覆された酸化膜の内ゲート電極4a直下の酸化膜をいう。その後、p形MOSFETのオフセット領域5aが形成される箇所のレジスト膜に窓開けし、加速電圧65keVで $3.0 \times 10^{13} \text{ atoms/cm}^2$ 程度のドーズ量の条件で $\text{BF}_2$ をイオン注入する（図14）。その後、抵抗体となる拡散抵抗領域7aが形成される箇所のレジスト膜に窓開けし電圧65keVで $1.2 \times 10^{14} \text{ atoms/cm}^2$ 程度のドーズ量の条件 $\text{BF}_2$ をイオン注入する（図15）。つぎに、ゲート電極4aから $1 \mu\text{m} \sim 2 \mu\text{m}$ の間隔を隔てて、p形MOSFETのソース・ドレイン拡散領域6aを形成するための

(3)

3

イオン注入を、加速電圧65keVでドーズ量 $3.0 \times 10^{15} \text{ atoms/cm}^2$ の条件で $\text{BF}_2$ を用いて行う。このとき、同時に抵抗体となる拡散抵抗領域7aに対するオーミックコンタクト用の高濃度領域8aも形成される(図16)。その後、熱処理条件800℃で20分～25分の熱処理を経た後、BPSG(ボローリン・ガラス)などの層間絶縁膜9aの堆積を行い、900℃で10分～15分の熱処理(リフロー)工程を実施する。これにより、表面濃度 $1.5 \times 10^{18} \text{ atoms/cm}^3$ で拡散深さ0.26 $\mu\text{m}$ 程度のp形低濃度領域であるオフセット領域5aと、表面濃度約 $6.0 \times 10^{18} \text{ atoms/cm}^3$ で拡散深さ0.28～0.33 $\mu\text{m}$ 程度の拡散抵抗領域7aおよび表面濃度が約 $8.0 \times 10^{19} \text{ atoms/cm}^3$ で拡散深さ約0.4 $\mu\text{m}$ のソース・ドレイン拡散領域6aが形成される。その後、ソース・ドレイン拡散領域6aの部分の配線接続場所にコンタクトホールを開口し、その後、Al、AlSi、AlSiCuなどの配線金属を全面に堆積し、エッチング工程を経て金属電極10aを形成し、最後に、SiNや $\text{SiO}_2$ などの保護膜11aを全面に堆積する(図17)。

【0007】図18は図17の透視平面図である。ただし、層間絶縁膜9aと保護膜11aは省かれている。2aは選択酸化膜、4aはポリシリコンのゲート電極、5aはオフセット領域、6aはソース・ドレイン拡散領域、10aアルミニウムの金属電極、9aは層間絶縁膜、11aは保護膜である。

【0008】

【発明が解決しようとする課題】前記のような従来の高耐圧のMOS-ICの製造工程では、標準的なロジックICの製造プロセスの他に、オフセット領域と拡散抵抗領域とを別々に形成する工程を必要とし、フォトリソがオフセット領域形成用と拡散抵抗領域形成用で2枚追加となり、また工程的にはオフセット領域形成工程でも拡散抵抗領域形成工程でも、それぞれフォトリソおよびイオン注入工程の2工程が必要となり、製造コストが増大する。

【0009】また、前記工程のように、p形MOSFETのソース・ドレイン拡散領域、オフセット領域および拡散抵抗領域に $\text{BF}_2$ (フッ化ボロン)のイオン注入を用いる場合、接合深さを浅くするために、 $\text{BF}_2$ の注入飛程が酸化膜と基板の界面付近に設定される。そのため、酸化膜厚にばらつきがあるとシリコンに到達する $\text{BF}_2$ の量にばらつきが生じ、結果として、抵抗体となる拡散抵抗領域の抵抗値のばらつきが大きく、また抵抗値の温度係数も大きくなる。前記工程で形成された拡散抵抗領域7aのシート抵抗値は約360 $\Omega/\square$ であり、また、抵抗値のばらつきは約±17%、温度係数は100ppm/℃と大きい。

【0010】この発明の目的は、前記の課題を解決し

4

て、拡散抵抗領域の抵抗値のばらつきおよび温度依存性を小さくし、且つ、拡散抵抗領域形成のための専用フォトリソを不要とする半導体装置を提供することにある。

【0011】

【課題を解決するための手段】前記の目的を達成するために、少なくともMOS型電界効果トランジスタ(MOSFET)と抵抗体とを有する半導体集積回路(MOS-IC)が形成された半導体装置において、高耐圧のMOSFETを形成するための低濃度拡散領域であるオフセット領域と抵抗体となる拡散抵抗領域とがボロン不純物で形成され、該ボロン不純物の表面濃度および拡散深さがオフセット領域と拡散抵抗領域とで同一である構成とする。

【0012】前記オフセット領域と前記拡散抵抗領域とのボロン不純物の表面濃度を $1.0 \times 10^{18} \text{ atoms/cm}^3$ ないし $4.0 \times 10^{18} \text{ atoms/cm}^3$ とし、且つ、該ボロン不純物の拡散深さを0.3 $\mu\text{m}$ ないし1.0 $\mu\text{m}$ とするとよい。前記オフセット領域と前記拡散抵抗領域とのボロン不純物の表面濃度が $1.0 \times 10^{18} \text{ atoms/cm}^3$ ないし $4.0 \times 10^{18} \text{ atoms/cm}^3$ で形成され、且つ、該ボロン不純物の拡散深さが1 $\mu\text{m}$ ないし2 $\mu\text{m}$ で形成され、さらに、対向する前記オフセット領域上に選択的に選択酸化膜(LOCOS)が形成されると効果的である。

【0013】少なくともMOSFETと抵抗体とを有する半導体集積回路(MOS-IC)が形成された半導体装置の製造方法において、高耐圧のMOSFETを形成するための低濃度拡散領域であるオフセット領域と抵抗体となる拡散抵抗領域とがボロン不純物で同時に形成されるとよい。前記オフセット領域と前記拡散抵抗領域とがボロン不純物の表面濃度 $1.0 \times 10^{18} \text{ atoms/cm}^3$ ないし $4.0 \times 10^{18} \text{ atoms/cm}^3$ で、該拡散深さ1 $\mu\text{m}$ ないし2 $\mu\text{m}$ で、同時に形成された後、対向する前記オフセット領域上に選択的に選択酸化膜(LOCOSといわれる局部酸化膜のこと)が形成されるとよい。

【0014】このように、不純物原子をボロンとすることで、オフセット領域と拡散抵抗領域とを同時に形成できて、製造工程の削減が可能となり、また拡散抵抗領域のばらつきと、温度係数を小さくすることができるために抵抗体の高精度化ができる。

【0015】

【発明の実施の形態】図1から図4は、この発明の第1実施例の製造工程断面図を順に示したものである。n形基板1を用いた、CMOS(相補形MOS)プロセスで、まず、選択酸化工程において、nチャネルMOSFET(n形のMOS型電界効果トランジスタのこと)とpチャネルMOSFET(p形のMOS型電界効果トランジスタのこと)を形成する活性領域と、専用の抵抗体

(4)

5

を形成する拡散抵抗領域以外の領域に選択酸化膜2を形成する。図ではnチャネルMOSFETの活性領域は省略されている。選択酸化膜2を形成後にpチャネルMOSFETを形成する活性領域に25nm程度のゲート酸化膜3を形成し、ポリシリコンでゲート電極4を形成する(図1)。尚、ゲート酸化膜3は全面に被覆された酸化膜の内ゲート電極4直下の酸化膜をいう。その後、pチャネルMOSFETのp形不純物で形成されるオフセット領域5とp形不純物で形成される拡散抵抗領域7を同一のフォトマスクでレジスト膜に窓開けし、加速電圧50keVで $0.8 \times 10^{14} \sim 1.6 \times 10^{14} \text{ atoms/cm}^2$ 程度のドーズ量の条件でボロン原子をイオン注入する。その後、1100℃で30分程度の熱処理(アニール)を行い、拡散深さ1.0μm程度の低濃度拡散領域であるオフセット領域5と拡散抵抗領域7を同時に形成する(図2)。つぎに、ゲート電極から1μm~2μmの間隔を隔てて、pチャネルMOSFETのソース・ドレイン拡散領域6を形成するためのイオン注入を、加速電圧65keVでドーズ量 $3.0 \times 10^{15} \text{ atoms/cm}^2$ の条件でBF<sub>2</sub>を用いて行う。このとき、同時に抵抗体となる拡散抵抗領域7に対するオーミックコンタクト用の高濃度領域8も形成される(図3)。その後、熱処理条件800℃で20分~25分の熱処理を経た後、BPSG(ボロン・リン・ガラス)などの層間絶縁膜9の堆積を行い、900℃で10分~15分の熱処理(リフロー)工程を実施する。これにより、表面濃度 $1.0 \times 10^{18} \sim 4 \times 10^{18} \text{ atoms/cm}^3$ で拡散深さ1.0μm程度のp形低濃度領域であるオフセット領域5と、表面濃度約 $8.0 \times 10^{19} \text{ atoms/cm}^3$ で拡散深さ0.4μm程度のソース・ドレイン拡散領域6が形成される。このオフセット領域の深さの最低値はソース・ドレイン拡散領域程度が好ましく、数値的には0.4μm程度である。その後、ソース・ドレイン拡散領域6の部分の配線接続場所にコンタクトホールを開口し、その後、Al、AlSi、AlSiCuなどの配線金属を全面に堆積し、エッチング工程を経て金属電極10を形成し、最後に、SiNやSiO<sub>2</sub>などの保護膜11を全面に堆積する(図4)。このようにして、オフセット領域5を有する高耐圧MOSFETと、p形の拡散抵抗領域7が同時のフォトマスク工程とイオン注入工程で形成され、従来に比べて製造工程数の削減を図ることができた。

【0016】高耐圧のMOSFETの耐圧を上げるためには、低濃度拡散領域であるオフセット領域5の不純物濃度を出来るだけ低くする必要があるが、抵抗体である拡散抵抗領域7の抵抗値に対する温度係数を小さくするためには逆に不純物濃度はあまり低くできない。各種の実験により、不純物種をボロンとした場合、表面濃度として、約 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上あれば、800ppm/℃程度と温度係数が小さい抵抗体を

6

得ることが分かった。

【0017】この形成された高耐圧pチャネルMOSFETについては、ソース・ドレイン間耐圧13V~17V程度が実現され、従来5Vで使用されていたMOSFETが、7Vの電圧で使用することができるようになる。拡散抵抗領域7については、シート抵抗値として約300~500Ω/□、抵抗値の製造ばらつきが約7%、温度係数としては、約700~800ppm/℃が実現される。

【0018】つぎにボロンとBF<sub>2</sub>でほぼ同一の表面濃度と拡散深さで拡散抵抗領域を形成した場合のシート抵抗の大きさと抵抗値のばらつきおよび温度係数の大きさを比較した例について説明する。ボロンを不純物種として、表面濃度 $2.0 \times 10^{18} \text{ atoms/cm}^3$ 、Xjが0.5μmの拡散抵抗領域を形成した場合、シート抵抗は約360Ω/□で抵抗値のばらつきが約±7%程度、温度係数が約700ppm/℃である。これに対して従来技術の項で説明したように、BF<sub>2</sub>をイオン注入種として、表面濃度 $8.0 \times 10^{19} \text{ atoms/cm}^3$ 、Xjが0.4μmの拡散抵抗領域を形成した場合、この拡散抵抗領域のシート抵抗は約120Ω/□で、抵抗値のばらつきが約±17%程度、温度係数が約1000ppm/℃である。これらの比較例から、不純物種として、ボロンを使用の方が、表面濃度が低いにも係わらず、高いシート抵抗が得られ、且つ、抵抗値のばらつきおよび温度係数は小さいことから、高抵抗で高性能の抵抗体を得ることができる。

【0019】図5は図4の透視平面図である。ただし、層間絶縁膜9と保護膜11は省かれている。2は選択酸化膜、4はゲート電極、5は低濃度p形領域(p<sup>-</sup>領域)であるオフセット領域、6は高濃度p形領域(p<sup>++</sup>領域)のソース・ドレイン拡散領域、10金属電極、9は層間絶縁膜、11は保護膜である。

【0020】図6から図11はこの発明の第2実施例の製造工程断面図である。n形基板1を用いた、CMOSプロセスで、まず、選択酸化工程前において、レジスト膜12をマスクとして、pチャネルMOSFETのオフセット領域5と、拡散抵抗領域7を形成する領域にボロン原子を、50keVで $2.0 \times 10^{14} \sim 3.0 \times 10^{14} \text{ atoms/cm}^2$ の条件でイオン注入する(図6)。レジスト膜12を除去した後、1100℃で60分程度の熱処理した後、全面に窒化膜を堆積し、選択酸化膜を形成する領域の窒化膜をエッチングにより除去し、それ以外の領域の窒化膜13を残す(図7)。その後、900℃~950℃で10時間程度の選択酸化工程により、選択酸化膜2を形成する(図8)。つぎに活性領域(MOSFETを形成する領域)に25nm程度のゲート酸化膜3を形成し、その後で、ポリシリコンでゲート電極4を形成する(図9)。その後、pチャネルMOSFETのソース・ドレイン拡散領域6と拡散抵抗領域

(5)

7

域7のオーミックコンタクト用の高濃度領域8を形成するために、レジスト膜をマスクとして、 $\text{BF}_2$ を $65\text{keV}$   $3.0 \times 10^{15} \text{atoms/cm}^2$ 程度イオン注入し、その後、熱処理条件 $800^\circ\text{C}$ で20分～25分の熱処理をする(図10)。その後、BPSGなどの層間絶縁膜9の堆積を行い、 $900^\circ\text{C}$ で10分～15分の熱処理(リフロー)工程を実施する。これにより、表面濃度 $1.0 \times 10^{18} \sim 4.0 \times 10^{18} \text{atoms/cm}^3$ 、拡散深さ約 $1.5\mu\text{m}$ のp形拡散領域であるオフセット領域5と、表面濃度約 $8.0 \times 10^{19} \text{atoms/cm}^3$ 、拡散深さ $0.3 \sim 0.4\mu\text{m}$ のソース・ドレイン拡散領域6が形成される。その後、ソース・ドレイン拡散領域6の部分の配線接続場所にコンタクトホール10を開孔し、その後、Al、AlSi、AlSiCuなどの配線金属を全面に堆積し、エッチング工程を経て金属電極10を形成する。最後に、SiNや $\text{SiO}_2$ などの保護膜11を全面に堆積する(図11)。こうすることで、オフセット領域5を有する高耐圧FETと、p形拡散領域である拡散抵抗領域7が同一のフォトリソ工程とイオン注入工程で形成される。

【0021】前記のように、高耐圧MOSFETの耐圧を上げるためには、オフセット領域5の不純物濃度を出来るだけ低くする必要があるが、抵抗体の温度係数を小さくするためには、不純物濃度をあまり低くできない。ボロン原子を不純物とした抵抗体の場合、表面濃度として、約 $1.0 \times 10^{18} \text{atoms/cm}^3$ 以上あれば $800\text{ppm}/^\circ\text{C}$ 程度の温度係数が実現できる。この実施例では、専用 $p^+$ 拡散層のイオン注入量に対するMOSFETの高耐圧化と、抵抗体の低温度係数化のトレードオフの関係についての最適な条件の例であり、以下のような特性を達成できる。この形成された高耐圧MOSFETについては、ソース・ドレイン間耐圧 $15\text{V} \sim 25\text{V}$ 程度が実現され、従来 $5\text{V}$ で使用していたMOSFETが、 $7\text{V}$ の電圧で 사용할ことができるようになる。

【0022】拡散抵抗領域7については、シート抵抗値として約 $300 \sim 500\Omega/\square$ 、温度係数としては、約 $700 \sim 800\text{ppm}/^\circ\text{C}$ が実現される。図12は図11の透視平面図である。ただし、層間絶縁膜9と保護膜13は省かれている。2は選択酸化膜、4はゲート電極、5は低濃度p形領域( $p^-$ 領域)であるオフセット領域、6は高濃度p形領域( $p^{++}$ 領域)のソース・ドレイン拡散領域、10金属電極、9は層間絶縁膜、11は保護膜である。

【0023】

【発明の効果】この発明によれば、高耐圧MOSFETのソース・ドレイン拡散領域よりも低濃度なオフセット領域と、抵抗体を形成する低濃度の拡散抵抗領域とを同一フォトリソで同一工程で同時に形成することができる。これによって、従来に比してフォトリソとして1枚分

8

の製造工程数の削減ができて、製造コストの低減を図ることができる。また不純物種にボロン原子を用いることで、拡散抵抗領域の抵抗値のばらつきと温度係数を小さくできるので、抵抗体の高性能化を図ることができる。

【図面の簡単な説明】

【図1】この発明の第1実施例の製造工程断面図

【図2】この発明の第1実施例の図1に続く製造工程断面図

【図3】この発明の第1実施例の図2に続く製造工程断面図

【図4】この発明の第1実施例の図3に続く製造工程断面図

【図5】図4の透視平面図

【図6】この発明の第2実施例の製造工程断面図

【図7】この発明の第2実施例の図6に続く製造工程断面図

【図8】この発明の第2実施例の図7に続く製造工程断面図

【図9】この発明の第2実施例の図8に続く製造工程断面図

【図10】この発明の第2実施例の図9に続く製造工程断面図

【図11】この発明の第2実施例の図10に続く製造工程断面図

【図12】図12の透視平面図

【図13】従来の従来の高耐圧MOSFETと抵抗体とを有するCMOSプロセスの製造工程断面図

【図14】図13に続く製造工程断面図

【図15】図14に続く製造工程断面図

【図16】図15に続く製造工程断面図

【図17】図16に続く製造工程断面図

【図18】図17の透視平面図

【符号の説明】

1 n形基板

2 選択酸化膜

3 ゲート酸化膜

4 ゲート電極

5 オフセット領域

6 ソース・ドレイン拡散領域

7 拡散抵抗領域

8 高濃度領域

9 層間絶縁膜

10 金属電極

11 保護膜

12 レジスト膜

13 窒化膜

1a n形基板

2a 選択酸化膜

3a ゲート酸化膜

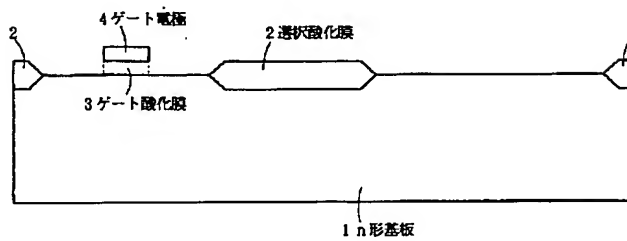
4a ゲート電極

(6)

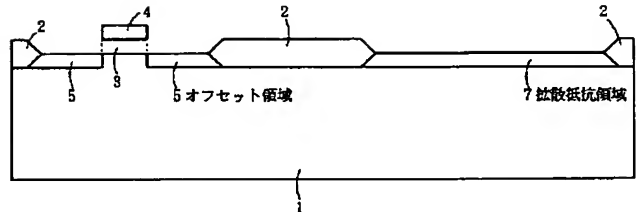
- 5 a オフセット領域  
6 a ソース・ドレイン拡散領域  
7 a 拡散抵抗領域  
8 a 高濃度領域

- 9 a 層間絶縁膜  
10 a 金属電極  
11 a 保護膜

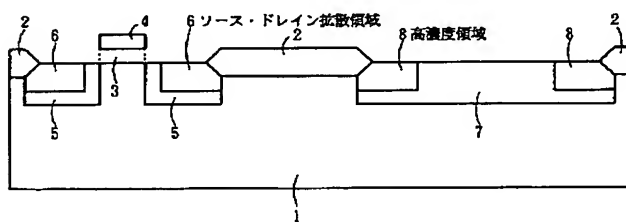
【図1】



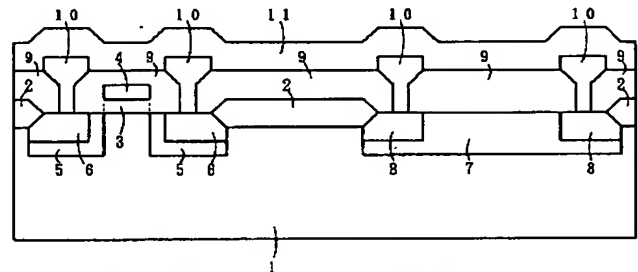
【図2】



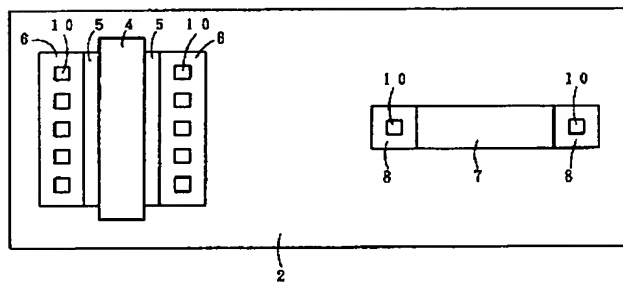
【図3】



【図4】

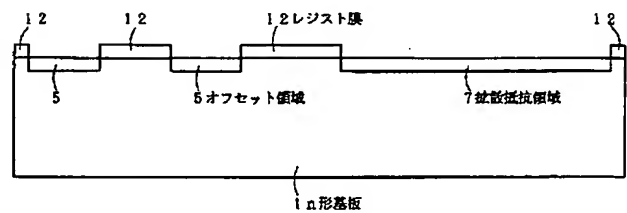


【図5】

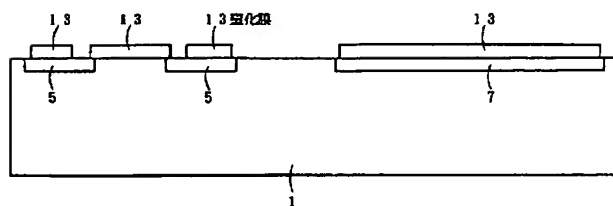


- |                     |                          |
|---------------------|--------------------------|
| 1 . . . . . n形基板    | 6 . . . . . ソース・ドレイン拡散領域 |
| 2 . . . . . 選択酸化膜   | 7 . . . . . 拡散抵抗領域       |
| 3 . . . . . ゲート酸化膜  | 8 . . . . . 高濃度領域        |
| 4 . . . . . ゲート電極   | 9 . . . . . 層間絶縁膜        |
| 5 . . . . . オフセット領域 | 10 . . . . . 金属電極        |
|                     | 11 . . . . . 保護膜         |

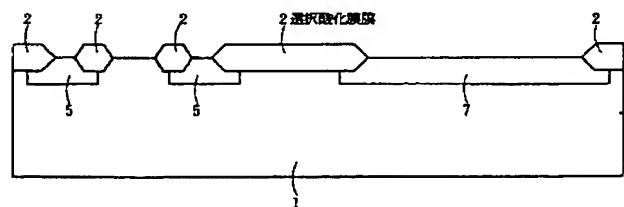
【図6】



【図7】

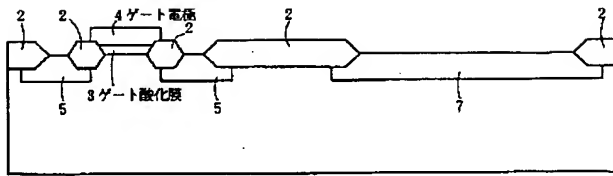


【図8】

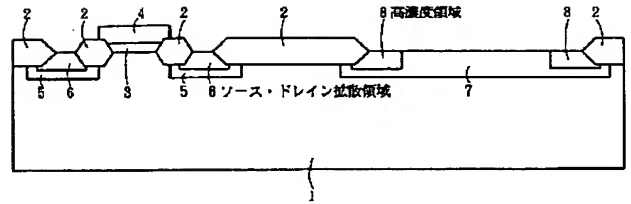


(7)

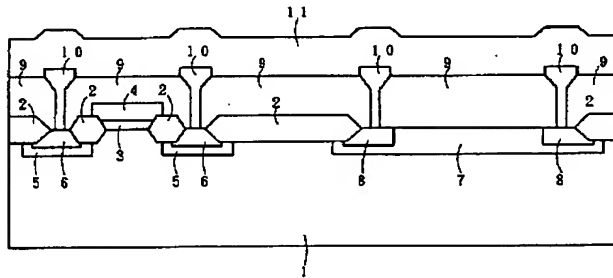
【図9】



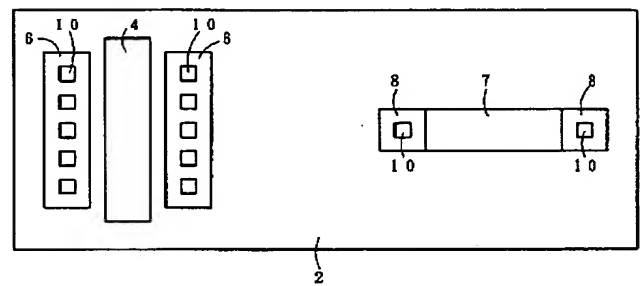
【図10】



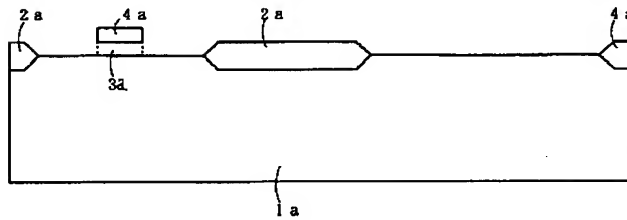
【図11】



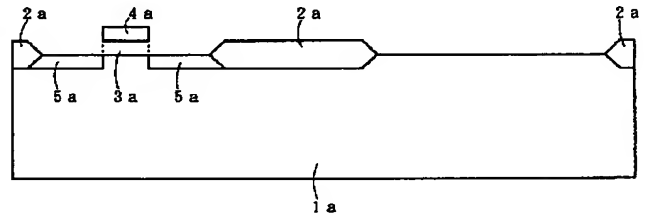
【図12】



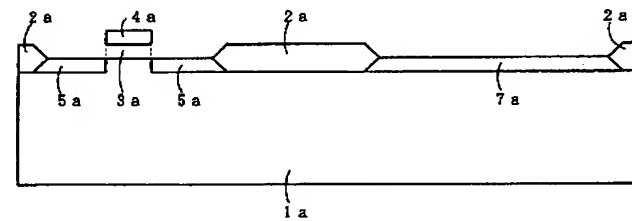
【図13】



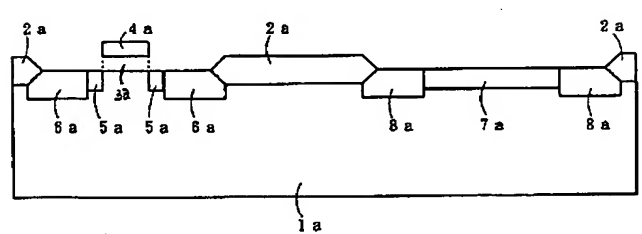
【図14】



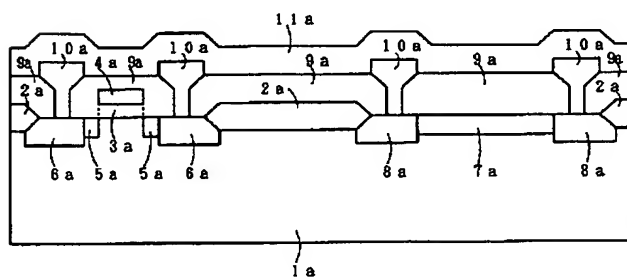
【図15】



【図16】

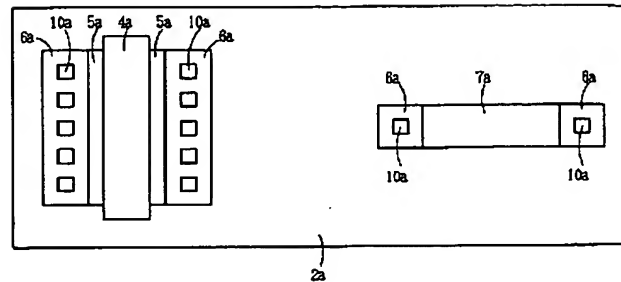


【図17】



(8)

【図18】



## 【手続補正書】

【提出日】平成9年10月28日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

## 【補正内容】

【0006】n形基板1aを用いた、CMOS（相補形MOS）プロセスで、まず、選択酸化工程において、n形MOSFETとp形MOSFETを形成する活性領域と、専用の抵抗体を形成する拡散抵抗領域以外の領域に選択酸化膜2aを形成する。選択酸化膜2aを形成後にp形MOSFETを形成する活性領域に25nm程度のゲート酸化膜3aを形成し、ポリシリコンでゲート電極4aを形成する（図13）。尚、ゲート酸化膜3aは全面に被覆された酸化膜の中でゲート電極4a直下の酸化膜をいう。その後、p形MOSFETのオフセット領域5aが形成される箇所のレジスト膜に窓開けし、加速電圧65keVで $3.0 \times 10^{13} \text{ atoms/cm}^2$ 程度のドーズ量の条件で $\text{BF}_2$ をイオン注入する（図14）。その後、抵抗体となる拡散抵抗領域7aが形成される箇所のレジスト膜に窓開けし電圧65keVで $1.2 \times 10^{14} \text{ atoms/cm}^2$ 程度のドーズ量の条件 $\text{BF}_2$ をイオン注入する（図15）。つぎに、ゲート電極

4aから $1 \mu\text{m} \sim 2 \mu\text{m}$ の間隔を隔てて、p形MOSFETのソース・ドレイン拡散領域6aを形成するためのイオン注入を、加速電圧65keVでドーズ量 $3.0 \times 10^{15} \text{ atoms/cm}^2$ の条件で $\text{BF}_2$ を用いて行う。このとき、同時に抵抗体となる拡散抵抗領域7aに対するオーミックコンタクト用の高濃度領域8aも形成される（図16）。その後、熱処理条件800℃で20分～25分の熱処理を経た後、BPSG（ボロン・リン・ガラス）などの層間絶縁膜9aの堆積を行い、900℃で10分～15分の熱処理（リフロー）工程を実施する。これにより、表面濃度 $1.5 \times 10^{18} \text{ atoms/cm}^3$ で拡散深さ $0.26 \mu\text{m}$ 程度のp形低濃度領域であるオフセット領域5aと、表面濃度約 $6.0 \times 10^{18} \text{ atoms/cm}^3$ で拡散深さ $0.28 \sim 0.33 \mu\text{m}$ 程度の拡散抵抗領域7aおよび表面濃度が約 $8.0 \times 10^{19} \text{ atoms/cm}^3$ で拡散深さ約 $0.4 \mu\text{m}$ のソース・ドレイン拡散領域6aが形成される。その後、ソース・ドレイン拡散領域6aの部分の配線接続場所にコンタクトホールを開口し、その後、Al、AlSi、AlSiCuなどの配線金属を全面に堆積し、エッチング工程を経て金属電極10aを形成し、最後に、SiNや $\text{SiO}_2$ などの保護膜11aを全面に堆積する（図17）。



# PATENT ABSTRACTS OF JAPAN

BA

(11)Publication number : 11-121631

(43)Date of publication of application : 30.04.1999

(51)Int.Cl.

H01L 21/8234

H01L 27/06

(21)Application number : 09-280042

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 14.10.1997

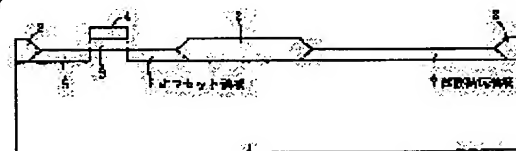
(72)Inventor : YOKOYAMA SATOSHI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce resistance variations and temperature dependence of a diffusion resistance region, by making the surface density and diffusion depth of boron impurities identical in both an offset region and the diffusion resistance region.

**SOLUTION:** In a selective oxidation step during a CMOS process, a selectively oxidized film 2 is formed, and a gate oxide film 3 is thereafter formed in an active region where a p-channel MOSFET is to be formed, and a gate electrode 4 is formed by polysilicon. Then, offset regions 5 formed by a p-type impurity of the p-channel MOSFET and a diffusion resistance region 7 formed by the p-type impurity are prepared by forming windows in a resist film using the same photomask, and the windows are ion-implanted with boron atoms under a predetermined condition. Then, a heat treatment is given so as to form the regions 5 and 7, which are low-concentration diffusion regions, simultaneously. By using the boron atoms as impurity species in the same step, the resistance variations and the temperature coefficient of the diffusion resistance region can be reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The semiconductor device which the diffused-resistor field which serves as an offset field which is a low concentration diffusion field for forming the MOS mold field-effect transistor of high pressure-proofing, and a resistor in the semiconductor device with which the semiconductor integrated circuit (MOS-IC) which has an MOS mold field-effect transistor and a resistor at least was formed is formed with a boron impurity, and is characterized by the surface concentration and the diffusion depth of this boron impurity being the same in said offset field and said diffused-resistor field.

[Claim 2] It is the surface concentration of the boron impurity of said offset field and said diffused-resistor field  $1 \times 10^{18}$  atoms/cm<sup>3</sup> Or  $4 \times 10^{18}$  atoms/cm<sup>3</sup> Semiconductor device according to claim 1 characterized by carrying out and setting the diffusion depth of this boron impurity to 0.3 micrometers thru/or 1.0 micrometers.

[Claim 3] The surface concentration of the boron impurity of said offset field and said diffused-resistor field is  $1 \times 10^{18}$  atoms/cm<sup>3</sup>. Or  $4 \times 10^{18}$  atoms/cm<sup>3</sup> Semiconductor device according to claim 1 characterized by being formed, and forming the diffusion depth of this boron impurity by 1 micrometer thru/or 2 micrometers, and forming the selective oxidation film (LOCOS) alternatively further on said offset field which counters.

[Claim 4] The manufacture approach of the semiconductor device characterized by forming in coincidence the diffused-resistor field which serves as an offset field which is a low concentration diffusion field for forming the MOS mold field-effect transistor of high pressure-proofing, and a resistor in the manufacture approach of a semiconductor device that the semiconductor integrated circuit (MOS-IC) which has an MOS mold field-effect transistor and a resistor at least was formed with a boron impurity.

[Claim 5] Said offset field and said diffused-resistor field are surface concentration  $1 \times 10^{18}$  atoms/cm<sup>3</sup> of a boron impurity. Or  $4 \times 10^{18}$  atoms/cm<sup>3</sup> The manufacture approach of the semiconductor device according to claim 4 characterized by forming the selective oxidation film (LOCOS) alternatively on said offset field which counters by this diffusion depth of 1 micrometer thru/or 2 micrometers after being formed in coincidence.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to semiconductor devices, such as an MOS mold semiconductor integrated circuit which has the MOS mold field-effect transistor (henceforth MOSFET) and resistor of high pressure-proofing.

[0002]

[Description of the Prior Art] In the semiconductor integrated circuit (MOS-IC is called hereafter) using MOSFET, it has both the high proof pressure MOSFET (usually called HV-MOS) and the low proof pressure MOSFET (usually called LV-MOS), and a highly precise resistor with a small temperature coefficient is needed in many cases.

[0003] The gate structure which prepared the so-called low-concentration offset field from the source drain diffusion field is usually well used for the high proof pressure MOSFET as an approach of realizing MOS-IC containing such the high proof pressure MOSFET and a resistor. The gate structure which prepared this offset field is called offset gate structure. In the manufacture process of MOS-IC of low pressure-proofing with the standard manufacture process which forms MOSFET which has this offset gate structure, the process which forms in a source drain diffusion field the offset field which is a low concentration field is needed. When this MOS-IC of high pressure-proofing is CMOS-IC (complementary-MOS-IC), naturally, an offset field is needed for each of the n form MOSFET of high pressure-proofing, and the p form MOSFET of high pressure-proofing, and a photo mask is also needed one sheet at a time, respectively.

[0004] Moreover, in order to form the low-concentration diffused-resistor field used as the aforementioned resistor, it is needed like ion grouting which used the impurity of p form as an ion kind, and the photo mask for it serves as an one-sheet addition. In addition, p form impurity is used for a resistor compared with n form, because the temperature dependence of resistance is small. Thus, by the conventional manufacture approach, the exclusive photo mask for diffused-resistor fields formed with p form impurity other than the photo mask for offset fields is needed for the logic IC process which is standard MOS-IC of low pressure-proofing.

[0005] Moreover, in order to make the junction depth (XJ) shallow in recent years, there is the approach of carrying out the ion implantation of BF<sub>2</sub> (boron fluoride) to the approach of forming the source drain diffusion field of the p form MOSFET. The BF<sub>2</sub> Used high proof-pressure MOS-IC which has the conventional high proof pressure MOSFET and a conventional resistor is explained. Drawing 13 to drawing 17 is the production process sectional view which explained the CMOS process which has the conventional high proof pressure MOSFET and a conventional resistor in order of the process.

[0006] Selective oxidation film 2a is first formed in fields other than the active region which forms the n form MOSFET and the p form MOSFET in a selective oxidation process, and the diffused-resistor field which forms the resistor of dedication in the CMOS (complementary MOS) process using n form substrate 1a. About 25nm gate oxide 3a is formed in the active region which forms the p form MOSFET for selective oxidation film 2a after formation, and gate electrode 4a is formed by polish recon ( drawing 13 ). In addition, gate oxide 3a says the oxide film of a gate electrode 4a directly under among the oxide films covered by the whole surface. Then, it is  $3.0 \times 10^{13}$  atoms/cm<sup>2</sup> at a \*\*\*\* opium poppy and acceleration voltage 65keV to the resist film of the part in which offset field 5a of the p form MOSFET is formed. He is BF<sub>2</sub> at the conditions of the dose of extent. An ion implantation is carried out ( drawing 14 R> 4). Then, it is  $1.2 \times 10^{14}$  atoms/cm<sup>2</sup> at \*\*\*\* opium poppy electrical-potential-difference 65keV to the resist film of the part in which diffused-resistor field 7a used as a resistor is formed. Conditions BF

2 of the dose of extent An ion implantation is carried out ( drawing 15 ). It is an ion implantation for separating spacing of 1 micrometer – 2 micrometers from gate electrode 4a, and next, forming source drain diffusion field 6a of the p form MOSFET at acceleration voltage 65keV Dose  $3.0 \times 10^{15}$  atoms/cm<sup>2</sup> He is BF<sub>2</sub> at conditions. It carries out by using. At this time, high concentration field 8a for ohmic contacts to diffused-resistor field 7a which becomes coincidence with a resistor is also formed ( drawing 16 ). Then, after passing through heat treatment for 20 minutes – 25 minutes at 800 degrees C of heat treatment conditions, interlayer insulation film 9a, such as BPSG (boron phosphorus glass), is deposited, and the heat treatment (reflow) process for 10 minutes – 15 minutes is carried out at 900 degrees C. thereby -- surface concentration  $1.5 \times 10^{18}$  atoms/cm<sup>3</sup> about [ offset field 5a which is p form low concentration field with a diffusion depth of about 0.26 micrometers, and / surface concentration ] --  $6.0 \times 10^{18}$  atoms/cm<sup>3</sup> diffused-resistor field 7a with a diffusion depth of about 0.28–0.33 micrometers and surface concentration -- about --  $8.0 \times 10^{19}$  atoms/cm<sup>3</sup> With a diffusion depth of about 0.4 micrometers source drain diffusion field 6a is formed. then, carry out opening of the contact hole to the wiring tie-in point of the part of source drain diffusion field 6a, deposit wiring metals, such as aluminum, AlSi, and AlSiCu, on the whole surface after that, and pass an etching process -- metal-electrode 10a -- forming -- the last -- SiN and SiO<sub>2</sub> etc. -- protective coat 11a is deposited on the whole surface ( drawing 17 R> 7 ).

[0007] Drawing 18 is the fluoroscopy top view of drawing 17 . However, interlayer insulation film 9a and protective coat 11a are excluded. For the gate electrode of polish recon, and 5a, an offset field and 6a are [ 2a / the selective oxidation film and 4a / an interlayer insulation film and 11a of the metal electrode of a source drain diffusion field and 10a aluminum and 9a ] protective coats.

[0008]

[Problem(s) to be Solved by the Invention] In the above production processes of conventional MOS-IC of high pressure-proofing, the process which forms separately the offset field and diffused-resistor field other than the standard manufacture process of a logic IC is needed, and a photo mask serves as a two-sheet addition by the object for offset field formation, and the object for diffused-resistor field formation, and a photograph process and two processes like ion grouting are needed in process with an offset field formation process or a diffused-resistor field formation process, respectively, and a manufacturing cost increases.

[0009] Moreover, he is BF<sub>2</sub> in order to make the junction depth shallow like said process, when using BF<sub>3</sub> (boron fluoride) ion implantation for the source drain diffusion field, offset field, and diffused-resistor field of the p form MOSFET. Impregnation range is set up near the interface of an oxide film and a substrate. Therefore, BF<sub>2</sub> who will reach silicon if dispersion is in oxide-film thickness Dispersion arises in an amount, as a result, dispersion in the resistance of the diffused-resistor field used as a resistor is large, and the temperature coefficient of resistance also becomes large. The sheet resistance of diffused-resistor field 7a formed at said process is about 360ohm/\*\*, and the temperature coefficient of dispersion in resistance is large in degree C and 1000 ppm /about \*\*17%.

[0010] The purpose of this invention is to offer the semiconductor device which solves the aforementioned technical problem, and makes small dispersion and temperature dependence of resistance of a diffused-resistor field, and makes unnecessary the exclusive photo mask for diffused-resistor field formation.

[0011]

[Means for Solving the Problem] In order to attain the aforementioned purpose, in the semiconductor device with which the semiconductor integrated circuit (MOS-IC) which has an MOS mold field-effect transistor (MOSFET) and a resistor at least was formed, the diffused-resistor field used as the offset field which is a low concentration diffusion field for forming MOSFET of high pressure-proofing, and a resistor is formed with a boron impurity, and considers as a configuration with the surface concentration and the diffusion depth of this boron impurity same in an offset field and a diffused-resistor field.

[0012] It is the surface concentration of the boron impurity of said offset field and said diffused-resistor

field  $1.0 \times 10^{18}$  atoms/cm<sup>3</sup> Or  $4.0 \times 10^{18}$  atoms/cm<sup>3</sup> It is good to carry out and to set the diffusion depth of this boron impurity to 0.3 micrometers thru/or 1.0 micrometers. The surface concentration of the boron impurity of said offset field and said diffused-resistor field is  $1.0 \times 10^{18}$  atoms/cm<sup>3</sup>. Or  $4.0 \times 10^{18}$  atoms/cm<sup>3</sup> It is effective, if it is formed, and the diffusion depth of this boron impurity is formed by 1 micrometer thru/or 2 micrometers and the selective oxidation film (LOCOS) is further formed alternatively on said offset field which counters.

[0013] In the manufacture approach of a semiconductor device that the semiconductor integrated circuit (MOS-IC) which has MOSFET and a resistor at least was formed, it is good to form in coincidence the diffused-resistor field used as the offset field which is a low concentration diffusion field for forming MOSFET of high pressure-proofing, and a resistor with a boron impurity. Said offset field and said diffused-resistor field are surface concentration  $1.0 \times 10^{18}$  atoms/cm<sup>3</sup> of a boron impurity. Or  $4.0 \times 10^{18}$  atoms/cm<sup>3</sup> After being formed in coincidence by this diffusion depth of 1 micrometer thru/or 2 micrometers, it is good to form the selective oxidation film (the local oxide film called LOCOS) alternatively on said offset field which counters.

[0014] Thus, since an offset field and a diffused-resistor field can be formed in coincidence, and it becomes reducible [ production processes ] and dispersion in a diffused-resistor field and a temperature coefficient can be made small by using an impurity atom as boron, highly precise-ization of a resistor can be performed.

[0015]

[Embodiment of the Invention] Drawing 4 shows the production process sectional view of the 1st example of this invention in order from drawing 1 . The selective oxidation film 2 is first formed in fields other than the active region which forms n channel MOS FET (the MOS mold field-effect transistor of n form), and p channel MOS FET (the MOS mold field-effect transistor of p form) in a selective oxidation process, and the diffused-resistor field which forms the resistor of dedication in the CMOS (complementary MOS) process using n form substrate 1. By a diagram, the active region of n channel MOS FET is omitted. About 25nm gate oxide 3 is formed in the active region which forms p channel MOS FET after forming the selective oxidation film 2, and the gate electrode 4 is formed by polish recon ( drawing 1 ). In addition, gate oxide 3 says the oxide film directly under [ gate electrode 4 ] the inside of the oxide film covered by the whole surface. Then, they are the offset field 5 formed with p form impurity of p channel MOS FET, and the diffused-resistor field 7 formed with p form impurity at a \*\*\*\* opium poppy and acceleration voltage 50keV to the resist film with the same photo mask  $0.8 \times 10^{14}$  -  $1.6 \times 10^{14}$  atoms/cm<sup>2</sup> The ion implantation of the boron atom is carried out on condition that the dose of extent. Then, heat treatment for about 30 minutes (annealing) is performed at 1100 degrees C, and the offset field 5 and the diffused-resistor field 7 which are a low concentration diffusion field with a diffusion depth of about 1.0 micrometers are formed in coincidence ( drawing 2 ). It is an ion implantation for separating spacing of 1 micrometer - 2 micrometers from a gate electrode, and next, forming the source drain diffusion field 6 of p channel MOS FET at acceleration voltage 65keV Dose  $3.0 \times 10^{15}$  atoms/cm<sup>2</sup> He is BF<sub>2</sub> at conditions. It carries out by using. At this time, the high concentration field 8 for ohmic contacts to the diffused-resistor field 7 which becomes coincidence with a resistor is also formed ( drawing 3 R> 3). Then, after passing through heat treatment for 20 minutes - 25 minutes at 800 degrees C of heat treatment conditions, the interlayer insulation films 9, such as BPSG (boron Lynn glass), are deposited, and the heat treatment (reflow) process for 10 minutes - 15 minutes is carried out at 900 degrees C. Thereby, they are surface concentration  $1.0 \times 10^{18}$  -  $4 \times 10^{18}$  atoms/cm<sup>3</sup>. The offset field 5 which is p form low concentration field with a diffusion depth of about 1.0 micrometers, and surface concentration abbreviation  $8.0 \times 10^{19}$  atoms/cm<sup>3</sup> The source drain diffusion field 6 with a diffusion depth of about 0.4 micrometers is formed. The minimum value of the depth of this offset field has desirable source drain diffusion field extent, and is about 0.4 micrometers numerically. then, carry out opening of the contact hole to the wiring tie-in point of the part of the source drain diffusion field 6, deposit wiring metals, such as aluminum, AlSi, and AlSiCu, on the whole surface after that, and pass an

etching process -- a metal electrode 10 -- forming -- the last -- SiN and SiO<sub>2</sub> etc. -- a protective coat 11 is deposited on the whole surface ( drawing 4 ). Thus, the diffused-resistor field 7 of the high proof pressure MOSFET and p form which has the offset field 5 was formed like the photo-mask process and ion grouting of coincidence, and reduction of the number of production processes was able to be aimed at compared with the former.

[0016] In order to raise pressure-proofing of MOSFET of high pressure-proofing, it is necessary to make as low as possible high impurity concentration of the offset field 5 which is a low concentration diffusion field but, and in order to make small the temperature coefficient to the resistance of the diffused-resistor field 7 which is a resistor, high impurity concentration is not made not much low conversely. When an impurity kind is used as boron by various kinds of experiments, it is abbreviation 1.0x10<sup>18</sup> atoms/cm<sup>3</sup> as surface concentration. When it was above, it turned out that a resistor with small degree C, about 800 ppm /, and temperature coefficient is obtained.

[0017] About this formed high proof-pressure p channel MOS FET, about proof-pressure 13V-17V can be realized between source drains, and MOSFET currently used by conventional 5V can use it now on the electrical potential difference of 7V. About the diffused-resistor field 7, about 300-500ohm/\*\*, and manufacture dispersion of resistance are realized as sheet resistance, and it realizes in about 700-800 ppm/degree C as a temperature coefficient about 7%.

[0018] Next, they are boron and BF<sub>2</sub>. The example which compared the magnitude of the sheet resistance at the time of forming a diffused-resistor field in the almost same surface concentration and the diffusion depth, dispersion of resistance, and the magnitude of a temperature coefficient is explained. When the diffused-resistor field surface concentration 2.0x10<sup>18</sup> atoms/cm<sup>3</sup> and whose X<sub>j</sub> are 0.5 micrometers is formed by using boron as an impurity kind, dispersion in resistance is [ the temperature coefficient of sheet resistance ] about 700 ppm/degree C about \*\*7% in about 360ohms / \*\*. On the other hand, he is BF<sub>2</sub> as the term of the conventional technique explained. When it considers as an ion-implantation kind and the diffused-resistor field surface concentration 8.0x10<sup>19</sup> atoms/cm<sup>3</sup> and whose X<sub>j</sub> are 0.4 micrometers is formed, the sheet resistance of this diffused-resistor field is about 120ohm/\*\*, dispersion in resistance is about \*\*17%, and a temperature coefficient is about 1000 ppm/degree C. As an impurity kind, high sheet resistance is obtained, and although it is [ surface concentration ] lower to use boron, since dispersion and the temperature coefficient of resistance are small, they can obtain the resistor of high performance from these examples of a comparison by high resistance.

[0019] Drawing 5 is the fluoroscopy top view of drawing 4 . However, the interlayer insulation film 9 and the protective coat 11 are excluded. As for the source drain diffusion field of a high concentration p form field (p++ field), ten metal electrodes, and 9, the offset field a gate electrode and whose 5 2 is low concentration p form fields (p- field) as for the selective oxidation film and 4, and 6 are [ an interlayer insulation film and 11 ] protective coats.

[0020] Drawing 6 to drawing 11 is the production process sectional view of the 2nd example of this invention. It is a boron atom at 50keV to the field using n form substrate 1 which forms the offset field 5 and the diffused-resistor field 7 of p channel MOS FET by using the resist film 12 as a mask before a selective oxidation process first by the CMOS process 2.0x10<sup>14</sup> - 3.0x10<sup>14</sup> atoms/cm<sup>2</sup> An ion implantation is carried out on conditions ( drawing 6 R> 6). After removing the resist film 12, at 1100 degrees C, after [ about 60 minutes ] heat-treating, a nitride is deposited on the whole surface, etching removes the nitride of the field which forms the selective oxidation film, and it leaves the nitride 13 of the other field ( drawing 7 ). Then, the selective oxidation film 2 is formed according to the selective oxidation process of about 10 hours at 900 degrees C - 950 degrees C ( drawing 8 ). Next about 25nm gate oxide 3 is formed in an active region (field which forms MOSFET), and the gate electrode 4 is formed by polish recon after that ( drawing 9 ). Then, he is BF<sub>2</sub>, using the resist film as a mask, in order to form the high concentration field 8 for the ohmic contacts of the source drain diffusion field 6 of p channel MOS FET, and the diffused-resistor field 7. 65keV(s) 3.0x10<sup>15</sup> atoms/cm<sup>2</sup> An extent ion implantation is carried out and heat treatment for 20 minutes - 25 minutes is carried out at 800 degrees

C of heat treatment conditions after that ( drawing 10 ). Then, the interlayer insulation films 9, such as BPSG, are deposited and the heat treatment (reflow) process for 10 minutes – 15 minutes is carried out at 900 degrees C. Thereby, surface concentration  $1.0 \times 10^{18} - 4.0 \times 10^{18}$  atoms/cm<sup>3</sup>, the offset field 5 that is p form diffusion field with a diffusion depth of about 1.5 micrometers, and surface concentration abbreviation  $8.0 \times 10^{19}$  atoms/cm<sup>3</sup> and the source drain diffusion field 6 with a diffusion depth of 0.3–0.4 micrometers are formed. Then, opening of the contact hole 10 is carried out to the wiring tie-in point of the part of the source drain diffusion field 6, wiring metals, such as aluminum, AlSi, and AlSiCu, are deposited on the whole surface after that, and a metal electrode 10 is formed through an etching process. the last -- SiN and SiO<sub>2</sub> etc. -- a protective coat 11 is deposited on the whole surface ( drawing 11 ). By carrying out like this, it is formed like the high proof pressure FET which has the offset field 5, the photo-mask process that the diffused-resistor field 7 which is p form diffusion field is the same, and ion grouting.

[0021] As mentioned above, in order to raise pressure-proofing of the high proof pressure MOSFET, it is necessary to make high impurity concentration of the OSETTO field 5 as low as possible but, and in order to make the temperature coefficient of a resistor small, high impurity concentration cannot be made not much low. In the case of the resistor which used the boron atom as the impurity, it is abbreviation  $1.0 \times 10^{18}$  atoms/cm<sup>3</sup> as surface concentration. If it is above, the temperature coefficient of about 800 ppm/degree C is realizable. At this example, it is exclusive p+. It is the example of the optimal conditions about the relation of a trade-off of multiplier-izing whenever [ raise in pressure-proofing of MOSFET to ion injection rate of diffusion layer, and low-temperature / of a resistor ], and the following properties can be attained. About this formed high proof pressure MOSFET, about proof-pressure 15V–25V can be realized between source drains, and MOSFET which was being used by conventional 5V can use it now on the electrical potential difference of 7V.

[0022] About the diffused-resistor field 7, degree C is realized in about 700–800 ppm /as about 300–500ohm/\*\*, and a temperature coefficient as sheet resistance. Drawing 12 is the fluoroscopy top view of drawing 11 R> 1. However, the interlayer insulation film 9 and the protective coat 13 are excluded. As for the source drain diffusion field of a high concentration p form field (p++ field), ten metal electrodes, and 9, the offset field a gate electrode and whose 5 2 is low concentration p form fields (p– field) as for the selective oxidation film and 4, and 6 are [ an interlayer insulation film and 11 ] protective coats.

[0023]

[Effect of the Invention] According to this invention, although an offset field [ low concentration / field / of the high proof pressure MOSFET / source drain diffusion ] and the low-concentration diffused-resistor field which forms a resistor are formed in coincidence at the same process with the same photo mask, it can do. By this, as compared with the former, reduction of the number of production processes for one sheet can be performed as a photo mask, and reduction of a manufacturing cost can be aimed at. Moreover, by using a boron atom for an impurity kind, since dispersion and the temperature coefficient of resistance of a diffused-resistor field can be made small, high performance-ization of a resistor can be attained.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] The production process sectional view of the 1st example of this invention

[Drawing 2] The production process sectional view following drawing 1 of the 1st example of this invention

[Drawing 3] The production process sectional view following drawing 2 of the 1st example of this invention

[Drawing 4] The production process sectional view following drawing 3 of the 1st example of this invention

[Drawing 5] The fluoroscopy top view of drawing 4

[Drawing 6] The production process sectional view of the 2nd example of this invention

[Drawing 7] The production process sectional view following drawing 6 of the 2nd example of this invention

[Drawing 8] The production process sectional view following drawing 7 of the 2nd example of this invention

[Drawing 9] The production process sectional view following drawing 8 of the 2nd example of this invention

[Drawing 10] The production process sectional view following drawing 9 of the 2nd example of this invention

[Drawing 11] The production process sectional view following drawing 10 of the 2nd example of this invention

[Drawing 12] The fluoroscopy top view of drawing 12

[Drawing 13] The production process sectional view of the CMOS process which has the conventional conventional high proof pressure MOSFET and a conventional conventional resistor

[Drawing 14] The production process sectional view following drawing 13

[Drawing 15] The production process sectional view following drawing 14

[Drawing 16] The production process sectional view following drawing 15

[Drawing 17] The production process sectional view following drawing 16

[Drawing 18] The fluoroscopy top view of drawing 17

### [Description of Notations]

1 N Form Substrate

2 Selective Oxidation Film

3 Gate Oxide

4 Gate Electrode

5 Offset Field

6 Source Drain Diffusion Field

7 Diffused-Resistor Field

8 High Concentration Field

9 Interlayer Insulation Film

10 Metal Electrode

11 Protective Coat

12 Resist Film

13 Nitride

1a n form substrate

2a Selective oxidation film



- 3a Gate oxide
  - 4a Gate electrode
  - 5a Offset field
  - 6a Source drain diffusion field
  - 7a Diffused-resistor field
  - 8a High concentration field
  - 9a Interlayer insulation film
  - 10a Metal electrode
  - 11a Protective coat
- 

[Translation done.]